

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 59086218  
PUBLICATION DATE : 18-05-84

APPLICATION DATE : 09-11-82  
APPLICATION NUMBER : 57196239

APPLICANT : NEC CORP;

INVENTOR : IKEDA KAZUKO;

INT.CL. : H01L 21/285

TITLE : MANUFACTURE OF SEMICONDUCTOR DEVICE

ABSTRACT : PURPOSE: To make it possible to obtain an ohmic contact without the need for any high-concentration diffusion and without any possibility of undesirable removal of a high-concentration layer by a surface treatment, by forming an electrode by means of sputtering in which a target is employed which contains a specific amount of P or N type impurity.

CONSTITUTION: An electrode is formed by means of sputtering in which a target electrode is employed which is constituted by an electrode-forming metal mixed with 0.1~10% a III or V family impurity. For example, the target electrode is formed in such a manner that an electrode-forming metal, such as Au, Ni, Ti, Al, Ag or Cr, is mixed with 0.1~10% an impurity selected from the group consisting of B in the III family and P, As, Sb, etc. in the V family and is then alloyed or sintered. With the target electrode employed, evaporation is carried out by sputtering to form an impurity-containing metal layer on the substrate. The substrate is laser-annealed or sintered at a predetermined temperature in an inert gas, whereby an impurity atom and a metal atom are simultaneously sintered in the silicon thereby obtain an ohmic contact.

COPYRIGHT: (C)1984,JPO&Japio

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59—86218

⑪ Int. Cl.<sup>3</sup>  
H 01 L 21/285

識別記号

庁内整理番号  
7638—5F

⑬ 公開 昭和59年(1984)5月18日

発明の数 1  
審査請求、未請求

(全 2 頁)

⑭ 半導体装置の製造方法

東京都港区芝五丁目33番1号日

本電気株式会社内

⑯ 特 願 昭57—196239

⑰ 出 願 人 日本電気株式会社

⑱ 出 願 昭57(1982)11月9日

東京都港区芝5丁目33番1号

⑲ 発 明 者 池田和子

⑳ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

接合を形成した半導体ウェハに金属を蒸着して電極を形成する工程に於いて、当該金属にⅢ族又はⅤ族の不純物を0.1%乃至1.0%混合した電極を利用し、スパッタ法で電極を形成することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

本発明は半導体装置の電極の形成方法に関するものである。

サイリスタ、パワートランジスタ—更にはパワーMOSFET などパワーものといわれる大電流を流す種類の半導体装置の製造に於いては、電極形成時のオ—ム接触性が問題となる。これは高電流領域での抵抗値の直線性、その絶対値、低電流領

域での電流の立ち上り電圧などである。これらの値は半導体装置の動作時の発熱性と大きな関係がありこれが組立られた製品自体の性能の良し悪しを決定するといっても過言ではない。このため充分なオ—ム接触をとるために拡散工程に於いて主動作に必要な拡散を終えたのち、N型又はP型の高濃度領域を形成しているのが現状である。しかしながらその特性確保上熱処理条件に制限があり、充分な深さまで拡散を行えないものや、ウェハの大口径化に伴い接合形成は歩留確保のため厚いウェハで熱処理を行わざるを得ない現状がある。後者の場合製品の抵抗値を下げるためには、拡散工程を厚いウェハで行ったのち、片面をけずり薄くしたのち電極を形成するという工程も必要となってくる。このため拡散工程が複雑になったりウェハフレが増加したり、特性上の制限につながる場合さえ生ずる。

本発明は上記問題点を解決する手段を提供するものである。

すなわちP<sup>+</sup>やN<sup>+</sup>層をオ—ム接触形成のため

特開昭59- 86218(2)

にわざわざ拡散により形成することなしに電極形成の段階で形成する方法である。つまり、電極の形成方法をスパッター方式で行い、この時スパッター用のターゲットとして電極形成用の金属だけでなく、P型あるいはN型不純物を含んだターゲットを利用することにより、不純物入り金属層をシリコン面に蒸着し、次にレーザーアニール等の熱処理により金属-シリコンのシンターを行うと同時にオーミック接触をとることが可能となる。例えばパワートランジスタを例にとるとエミター、ベース拡散をした領域のオーミック接触は拡散層形成時に高濃度のP<sup>+</sup>やN<sup>+</sup>層が形成されているため問題とならないが、コレクター部つまり裏面のオーミックをとるためには高濃度層の形成を必要とするケースが多い。

本発明によれば、まず裏側の電極形成を実施したのち、裏面に不純物入りの金属層を所望の厚さスパッターで蒸着する。単一膜を蒸着するだけでなく多層膜を蒸着する場合には第一層目のみに不純物をドーピングしておけばよい。

以下、実施例を説明する。金属電極の系としては組立上必要とされる素子らAu, Ni, Ti, Al, Ag, Cr などでなんでも可能であり、この中にⅢ族の不純物であるB, V族の不純物であるP, As, Sb などから選り取り必要に応じて0.1%~1.0%をまぜ合金にするか、まぜて焼結した電極を形成する。この電極を用いスパッター法で蒸着することにより不純物入りの金属層が形成される。

次に不活性ガス中で所定の温度でシンターするか又はレーザーアニールすることによりシリコン中に不純物原子及び金属原子を同時にシンターさせオーミック接触をとることが可能になる。

本方式によればわざわざ高濃度拡散をする必要もなく、又蒸着前の面処理によって高濃度層がなくなったりするという恐れもなく安定にオーミック接触をとることが可能となる。

代理人 弁理士 内 原 晋

